

## GÜVENİLİR HABERLEŞMEDE AÇIK KAPALI KAOTİK ANAHTARLAMA SİSTEMİNİN FPGA KULLANILARAK GERÇEKLEŞTİRİLMESİ

<sup>1</sup>Enis GÜNAY, <sup>2</sup>Kenan ALTUN

<sup>1</sup>Erciyes Üniversitesi, Mühendislik Fakültesi, Elektrik-Elektronik Mühendisliği Bölümü, KAYSERİ

<sup>2</sup>Cumhuriyet Üniversitesi, Sivas MYO, Elektronik ve Otomasyon Bölümü, SİVAS

<sup>1</sup>egunay@erciyes.edu.tr, <sup>2</sup>kaltun@cumhuriyet.edu.tr

(Geliş/Received: 01.12.2017; Kabul/Accepted in Revised Form: 05.04.2018)

**ÖZ:** Bu çalışmada kaotik tabanlı sayısal haberleşme örneği olan Açık Kapalı Kaotik Anahtarlama (AKKA) (Chaotic On Off Keying-COOK) haberleşme sisteminin bilgisayar benzetimleri gerçekleştirilmiştir. Bunun yanı sıra Alanda Programlanabilir Kapı Dizileri( Field Programming Gate Array-FPGA) kullanılarak deneysel uygulaması incelenmiştir. Ayrıca çalışmada Hücresel Sinir Ağı (HSA) (Cellular Neural Network –CNN) tabanlı bir kaos üretici ve Sprott kaos üretici kullanılarak AKKA haberleşme sisteminin BER (bit error rate - BER) ve SNR (signal to noise ratio - SNR) karşılaştırmalı olarak ortaya konmuştur.

**Anahtar Kelimeler:** Bit hata oranı, Hücresel sinir ağları, Kaotik açık kapalı anahtarlama

### FPGA Implementation of Chaotic On-Off Keying for Secure Communication

**ABSTRACT:** In this study, one of the example of the Chaotic based digital communication which is Chaotic On Off Keying-COOK is simulated by using computer. In addition to this, by using Field Programming Gate Array-FPGA experimental application is done. Also, in the scope of the study, BER (bit error rate - BER) and SNR (signal to noise ratio - SNR) comparison of COOK communication system is done by using Cellular Neural Network –CNN and Sprott based chaos generator.

**Key Words:** Bit error rate, Cellular neural network, Chaotic on-off keying

### GİRİŞ (INTRODUCTION)

Dar bantlı haberleşme sistemlerinde bilgi sinyalinin geniş bantlı bir taşıyıcı işaret tarafından modüle edilmesi, bilgi sinyalinin bant genişliğinde bir artışa neden olmakla birlikte, güç spektral yoğunluğunda ise azalmaya neden olmaktadır. BER performansı etkilenmeden yaşanan bu güç spektral yoğunluğundaki azalma, bilgi sinyalinin iletim hattı gürültüsü içerisinde saklanılabilir hale getirir ve istenmeyen kullanıcılar tarafından bilgi sinyalinin fark edilmesinin zorlaştırmaktadır (Tam ve diğ., 2006).

Yayıllı spektrum haberleşme sistemlerinde bilgi iletimi esnasında bilgi sinyalinin kullandığı bant genişliğinden daha fazlasını kullanarak, alıcı devrelerde daha düşük sinyal gürültü oranı elde edilmesini sağlar. Diğer taraftan bant genişliğindeki bu yayılma kesişim (interception) oranını azaltır. Sinyal bozucu (jamming) uygulamalara karşı dirençlilik sağlarken çoklu-erişim kapasitesi ve yine çoklu yön koruma gibi özellikleriyle yayıllı spektrum haberleşme yöntemleri son yıllarda artan bir ilgiye sahip olmaktadır (Lau ve Tse, 2003).

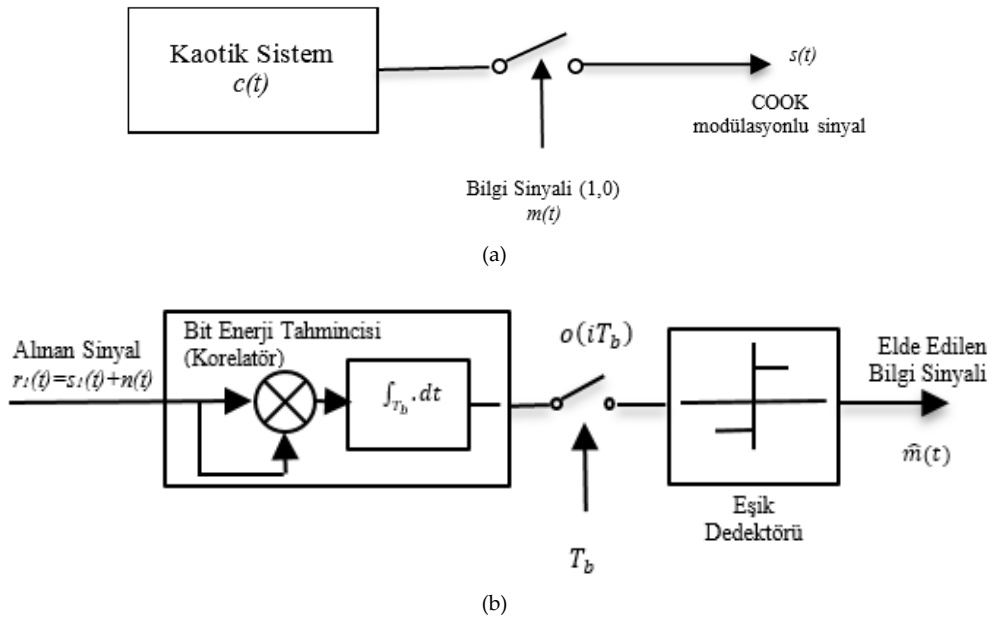
Buna ek olarak kaos tabanlı işaret üreteçleri kullanılarak gerçekleştirilen dar bantlı haberleşme sistemleri geleneksel olarak bilinen yayıllı spektrum haberleşme sistemlerine göre daha avantajlıdır. Bu

üreteç devrelerindeki kaotik devre yapılarının basitliği, ucuzluğu, kaotik sinyalin başlangıç değerlerine bağlı olarak tahmin edilememesi ve periyodik olmayan yapısı, sayısal bilgi sinyallerinin kolaylıkla saklanmasına katkı sağlamaktadır (Stavroulakis, 2006).

Kaotik haberleşme sistemlerinin senkronize olabileceklerini gösteren Pecora-Carroll'un 1990'da yaptıkları çalışma, kaotik işaretlerin yayılı spektrum (spread spectrum) haberleşme sistemlerinde kullanılmasının önünü açmıştır (Pecora ve Carroll, 1990). Bu çalışmayla birlikte, kaotik sistemlerin sürekli senkronize olmasına gerek duyulan analog tabanlı kaotik modülasyon ve kaotik maskeleyen sistemleri ile anlık kaotik senkronizasyon kullanan sayısal modülasyon tabanlı kaos anahtarlamalı haberleşme teknikleri geliştirilmiştir. Böylelikle kaos tabanlı yayılı spektrum haberleşme sistemleri, kaotik haberleşme yöntemleri arasına girmiştir. Kaos kaymalı anahtarlama (chaos shift keying - CSK) (Dedieu ve diğ., 1993), açık kapalı kaotik anahtarlama (chaotic on off keying - COOK) (Abdullah ve Valenzuela, 2011), diferansiyel kaos kaydırmalı anahtarlama - DKKA (Differential Chaos Shift Keying - DCSK) (Kolumban ve Kennedy, 1997; Majeed, 2014), kaudratür kaos kaydırmalı anahtarlama (quadrature chaos shift keying -QCSK) (Galias ve Maggio, 2001) bu tekniklerden bazılarını göstermektedir. Bu çalışmada incelenecek sayısal haberleşme metodu olan açık kapalı kaotik anahtarlama (AKKA) ilk olarak Kolumban tarafından önerilmiş, yukarıda bahsi geçen sayısal işaret işlemeye yönelik kaotik haberleşme yöntemleri içerisinde, karmaşıklığı daha az ve gürültü bağıışıklığı iyi olan bir haberleşme metodu olarak ortaya çıkmıştır (Tam ve diğ., 2007).

AKKA sistemi DKKA sisteminin sadece bir kaotik işaretini kullanan kaos tabanlı sayısal modülasyon tekniğidir. Şekil 1'de bir AKKA haberleşme sistemine ait verici ve alıcı devreleri blok olarak gösterilmektedir. Bu haberleşme sistemi ile sayısal olarak iletilmek istenen bilgi sinyali  $S_i$  geniş bir frekans bandına, kaotik bir taşıyıcı sinyal kullanılarak gönderilmektedir. AKKA sayısal modülasyon tekniğinde iletim kanalında iletilecek modüleli sinyali iletilecek bilgi sinyalinin bit değerine göre belirlenir. Bilgi sinyali anahtarlama anında "1" bilgisini içeriyorsa kaotik üreticinin ürettiği sinyal, "0" bilgisini içeriyorsa alıcıya sıfır bilgisi gönderilir.

AKKA haberleşme sisteminin verici devresinden iletilen modüleli sinyal  $s(t)$  iletim kanalından alıcı devredeki demodülatöre iletilir. Demodülatör devresinde iletim kanalında modüleli sinyale eklenen gürültü  $n(t)$  ile birlikte toplanır ve  $r(t)$  kendisi ile çarpılarak integrali alınır (korelatör birimi) ve eşik dedektörüne iletilir. Korelasyon sonucu elde edilen sinyal eşik dedektörüne gelir ve burada belirlenen eşik seviyesine göre bilgi sinyali elde edilir (Tam ve diğ., 2007; Abdullah ve Valenzuela, 2012).



Şekil 1. a) AKKA haberleşme sisteminin verici blok şeması, b) AKKA haberleşme sisteminin alıcı blok şeması (Kılıç ve diğ., 2004; Günay, 2010).

Figure 1. a) Transmitter block diagram of COOK communication system, b) Receiver block diagram of COOK communication system (Kılıç et al., 2004; Günay, 2010).

$$s(t) = \begin{cases} c(t), & 1 \text{ bilgisi için} \\ 0, & 0 \text{ bilgisi için} \end{cases} \quad (1)$$

AKKA haberleşme sisteminde verici devrede üretilen kaotik sinyal, anahtarlama süresince ( $T_b$ ) bilgi sinyali ile korelasyonu sağlanır.

$$\begin{aligned} o(iT_b) &= \int_{(i-1)T_b}^{iT_b} r^2(t) dt = \int_{(i-1)T_b}^{iT_b} [s(t) + n(t)]^2 dt \\ &= \int_{(i-1)T_b}^{iT_b} s^2(t) dt + 2 \int_{(i-1)T_b}^{iT_b} s(t) \cdot n(t) dt + \int_{(i-1)T_b}^{iT_b} n^2(t) dt \end{aligned} \quad (2)$$

Denklem (2)'de iletim hattı boyunca iletilen sinyale gürültü eklenmiş, AKKA haberleşme sistemine ait verici devre çıkışı matematiksel ifadesi görülmektedir. İletilen bu sinyal alıcı devre girişinde kendisi ile korele edilerek denklem (3)'de de görüldüğü üzere bir eşik dedektöründen geçirilmektedir.

$$o(iT_b) = \begin{cases} \int_{(i-1)T_b}^{iT_b} c^2(t) dt, & 1 \text{ bilgisi} \\ 0, & 0 \text{ bilgisi} \end{cases} \quad (3)$$

Alıcı devrede bulunan integratör çıkışında elde edilen bilgi sinyali içerisinde bulunan her bir sembol, anahtarlama  $T_b$  süresi boyunca sıfır eşik seviyesine sahip bir detektöre uygulanmaktadır. Dedektörde örneklenen işaret eşik seviyesinden büyükse çıkış +1 olmakta, değilse sıfır olmaktadır. Bu karar yapısı seçilen eşik değerine bağlıdır (Albassam ve Sumesh, 2015; Çiçek ve diğ., 2015; Taoufik ve diğ., 2010).

#### KAOTİK ÜRETEÇLERİN NÜMERİK ANALİZİ VE BENZETİMİ (NUMERICAL ANALYSIS AND SIMULATION OF CHAOTIC GENERATORS)

AKKA haberleşme sisteminde kullanılacak olan kaos üretici ise bölgesel yapıdaki hücre (cell) adı verilen nöronların oluşturduğu karmaşık davranışlara sahip dinamik bir sistem olarak tanımlanan Hücrel Sinir Ağları (HSA) tabanlıdır (Chua ve Yang, 1988). HSA'nın kullanım alanları içerisinde kaotik işaret işleme ve görüntü işleme konuları sıklıkla yer almaktadır (Chua ve diğ., 1993; Chua, 1998). HSA kullanılarak kaotik işaretlerin yeniden modellenmesi amacıyla literatürde Durum Kontrollü HSA (DK-HSA) yapıları önerilmiştir (Arena ve diğ., 1995). Genelleştirilmiş hücre modelinin boyutsuz, doğrusal olmayan durum denklemleri aşağıdaki gibi tanımlanmaktadır.

$$\dot{x}_j = -x_j + a_j y_j + G_o + G_s + i_j \quad (4)$$

Yukarıdaki denklemde  $x_j$  durum değişkenini (state control),  $a_j$  sabit parametreyi,  $i_j$  eşik değerini (threshold) gösterirken,  $j$  ise hücre indeksini göstermektedir.  $G_o$  ve  $G_s$  diğer yapıların çıkış ve durum değişkeni parametrelerini ifade etmektedir. HSA yapısının çıkış fonksiyonu olan  $y_j$  denklem (5) ile tanımlanmaktadır.

$$y_j = 1/2 (|x_j + 1| - |x_j - 1|) \quad (5)$$

DK-HSA durum denklemleri ilk olarak Arena tarafından Chua devresinin modellenmesinde kullanılabileceği gösterilmiştir (Arena ve diğ., 1995). Müteakip çalışmalarda birçok kaotik işaret

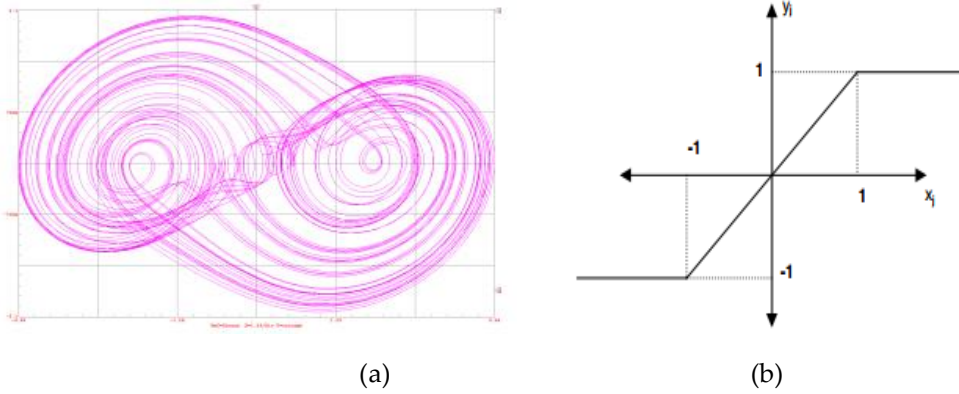
üreticini DK-HSA kullanarak modellemenin mümkün olacağı ortaya konulmuştur (Kılıç ve diğ., 2004; Günay,2012). DK-HSA tabanlı kaotik üreticiler, RC-tabanlı olmaları bakımından diğer kaotik üreticilere nazaran tümleştirmeye daha uygun yapıdadırlar (Kılıç ve diğ.,2004; Günay,2010).

DK-HSA'nın genelleştirilmiş denklemleri denklem (4) ve (5)'de verilmişti, buradan yola çıkılarak elde edilen kaotik sinyal üreticisine ait dinamik sistemler denklem (6)'da verilmektedir (Chua,1998).

$$\begin{aligned}
 \dot{x}_1 &= -x_1 + c_{11}x_1 + c_{12}x_2 \\
 \dot{x}_2 &= -x_2 + c_{22}x_2 + c_{23}x_3 \\
 \dot{x}_3 &= -x_3 + c_{31}x_1 + c_{32}x_2 + c_{33}x_3 + c_{31}y_1 \\
 \dot{y}_1 &= \frac{1}{2}(|x_1 + 1| - |x_1 - 1|)
 \end{aligned} \tag{6}$$

$c_{11}=c_{12}=c_{22}=c_{23}=1, c_{31}=-0.5, c_{32}=-0.4, c_{33}=0.5, c_{31}=1$

DK-HSA yapı kullanılarak elde edilen yeni kaotik yapıya ait kaotik işaretin  $x_1$ - $x_2$  dinamikleri Şekil 2(a)'da verilirken, kaos sinyal üreticisine ait çıkış karakteristiği Şekil 2(b)'de verilmektedir. Denklem (6)'da verilen DK-HSA tabanlı kaos üreticisi kullanılarak sürekli senkronizasyon gerektiren kaotik yapı ve analog tabanlı devrelerde kaotik maskeleye de kullanılmıştır (Arena ve diğ.,1995).



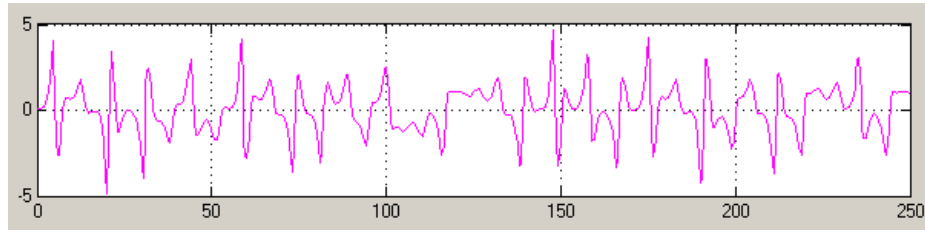
**Şekil 2.** DK-HSA tabanlı kaotik üreticinin:(a)  $x_1$ - $x_2$  düzlemine ait kaotik çekeri, (b)  $x(t)$ - $y(t)$  çıkış fonksiyonu.

*Figure 2.* The chaotic generator of the SC-CNN based: (a) the chaotic attractor of the  $x_1$ - $x_2$  plane, (b) the  $x(t)$ - $y(t)$  output function.

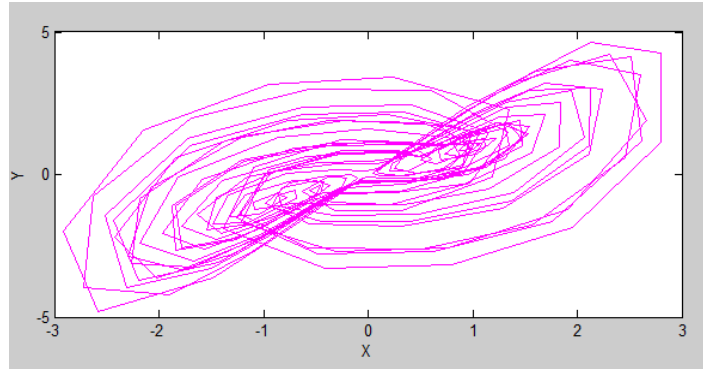
Diğer taraftan Sprott\_94\_B kaos üreticisi, kaotik işaret üretimine yönelik çalışmalar içerisinde basit yapısı ve zengin kaotik davranışları nedeniyle dikkat çekmektedir (Sprott, 1994).

Denklem (7)'de Sprott\_94\_B sistemine ait boyutsuz durum denklemleri görülmektedir.

$$\begin{aligned}
 \frac{dx}{dt} &= y \cdot z \\
 \frac{dy}{dt} &= x - y \\
 \frac{dz}{dt} &= 1 - x \cdot y
 \end{aligned} \tag{7}$$



(a)



(b)

**Şekil 3.** (a) Sprott\_94\_B kaotik üreticinin x dinamiği. (b) x-y düzleminde gözlenen kaotik çeker.

*Figure 3. (a) x dynamics of the Sprott 94 B chaotic generator (b) The chaotic attractor observed in the x-y plane.*

Denklem (7)'de verilen Sprott\_94\_B sisteminin, doğrusal olmayan karakteristiklerini kullanarak meydana getirdiği kaotik x dinamiğinin zamana göre davranışı ve sistemin x-y faz uzayında görülen kaotik çeker yapısı Şekil 3 (a) ve (b) sırasıyla gösterilmektedir.

Bütün bunların yanında literatürde DK-HSA kaotik üreticilerinin kullanıldığı sürekli senkronizasyon örnekleri yer alırken (Yiwei ve diğ., 2008), sayısal bilgi iletimi konusunda bir uygulama örneğine rastlanılmamıştır. Bu çalışmayla, AKKA haberleşme sisteminin BER-SNR performans analizi, DK-HSA tabanlı kaos üretici ve Sprott\_94\_B kaos üretici açısından karşılaştırmalı olarak FPGA kullanılarak yapılmıştır.

### KAOTİK ÜRETEÇLERİN FPGA GERÇEKLEŞTİRİMİ (FPGA IMPLEMENTATION OF CHAOTIC GENERATORS)

Kaos sinyal üreticileri kaotik haberleşme sistemlerinde kullanılan en temel yapıdır. Kaotik sinyaller donanımsal açıdan sayısal ve analog tabanlı devreler olarak iki farklı şekilde gerçekleştirilebilirler. Analog devre tabanlı kaos üreticilerindeki parametrelerin elde edilmesindeki zorluklar kaotik haberleşmede sayısal tabanlı kaos yapılarının kullanımının önünü açmıştır.

Literatürde sayısal devre tabanlı kaotik üreticiler sayısal işaret işlemciler (Digital Signal Processing-DSP), uygulamaya özel tümleşik devreler (Application Specific Integrated Circuits-ASIC) ve FPGA gibi yapılar kullanılarak gerçekleştirilmektedir (Kharel ve diğ., 2010; Yiwei ve diğ., 2008; Azzaz ve diğ., 2012).

Bu yapılar arasında ASIC tabanlı kaotik üreticiler yüksek performanslarına karşılık ilk tasarım maliyetleri oldukça yüksektir ve esnek bir tasarım yapısına sahip değildirler. Nitekim tasarlanan devre yapılarında yapılması düşünülen bir değişiklik maliyetlerin artmasına ve yaygın kullanımının kısıtlanmasına neden olmaktadır.

DSP çipleri, işlemleri sıralı (sequential) olarak gerçekleştirdiğinden çalışma frekansları oldukça düşüktür. Diğer taraftan kaotik sistemlerin en az iki veya üç diferansiyel denklemden oluştuğu düşünüldüğünde bu işlemlerin hesaplanması uzun zaman almaktadır.

FPGA tabanlı devre yapılarında ise FPGA çipleri paralel işlem yapabildikleri için yüksek çalışma frekansları elde edilebilmektedir. Yüksek frekanslarda çalışma ise yayılı spektrum haberleşme

sistemlerinde bilgi sinyalinin arka planda gizlenmesini kolaylaştırmaktadır (Günay ve Altun, 2016). FPGA platformları sayısal tabanlı olmaları, düşük maliyetleri, yüksek frekansta işlem yapabilme kapasiteleri ve tekrar programlanabilme özellikleri sayesinde diğer sayısal tabanlı kaos üreteçleri arasında ön plana çıkmaktadırlar (Günay ve Altun, 2016).

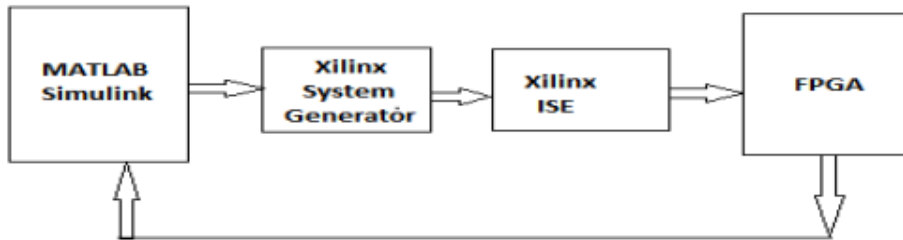
Bu çalışmada kullanılan kaotik işaret üreteçleri Xilinx System Generator kullanılarak Şekil 4'de gösterildiği gibi deneysel uygulaması hazırlanmıştır. Bu aşamada Denklem (6) ile elde edilen dinamik yapı oluşturularak gerçekleştirilmiştir.



Şekil 4. Xilinx Atlys Spartan-6 Geliştirme Kartı

Figure 4. Xilinx Atlys Spartan-6 Development Card

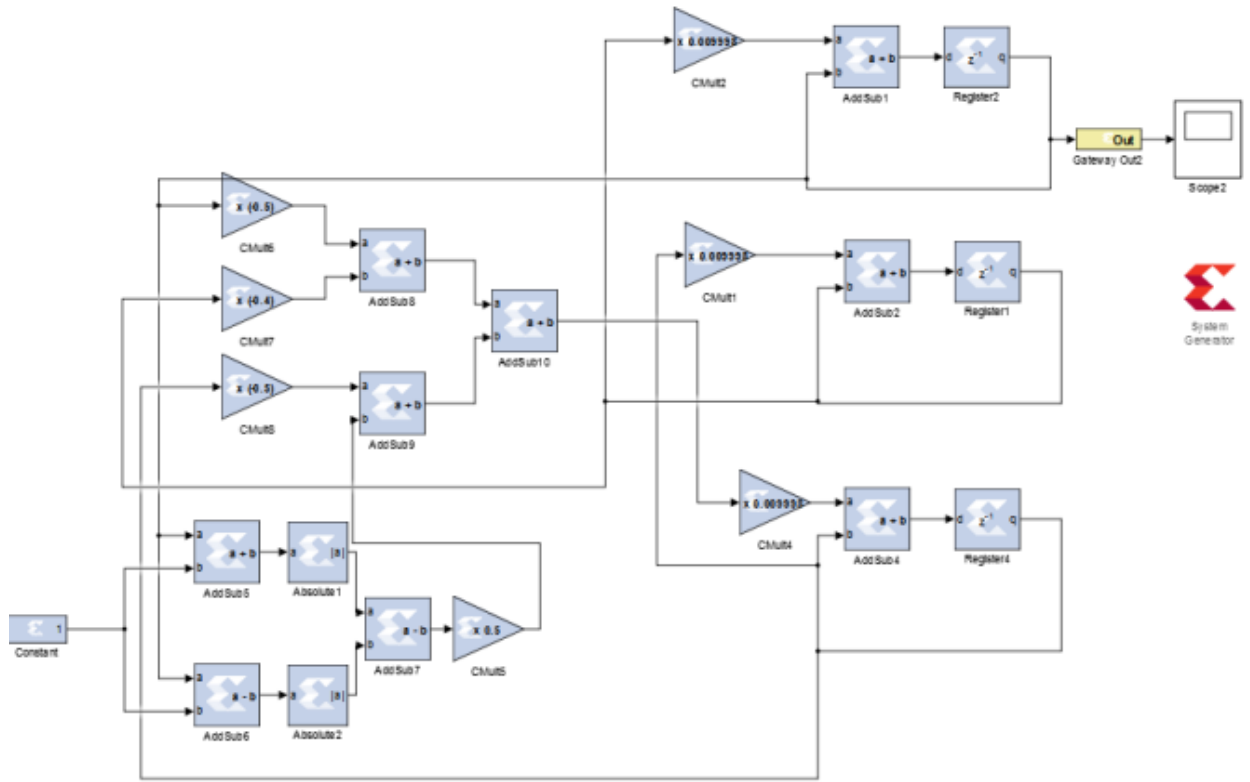
Günümüzde FPGA yapılarının tasarımında kullanılan donanım dili VHDL (Very High Speed Integrated Circuit Hardware Description Language), yerini tasarım aşaması daha kolay olan şematik yöntemlere bırakmaktadır (Chua, 1998). FPGA programlanmasında diğer bir yöntem ise Matlab/Simulink toolbox'da Xilinx özel bloklarla gerçekleştirilen şematik tasarımdır (Arena ve diğ., 1995). Bu tasarım aşamaları Şekil 5'de gösterilmektedir. Buna göre Xilinx bloklar ile şematik olarak çizilen sistem modeli daha sonra system generator kullanılarak giriş çıkış bitleri ve VHDL kodlar elde edilir. Nitekim elde edilen VHDL kodlar FPGA kartına yüklenerek sayısal tabanlı kaotik üreteç tamamlanır (Saidani ve diğ., 2010).



Şekil 5. FPGA tabanlı Xilinx System Generator ile hardware Co-simulation.

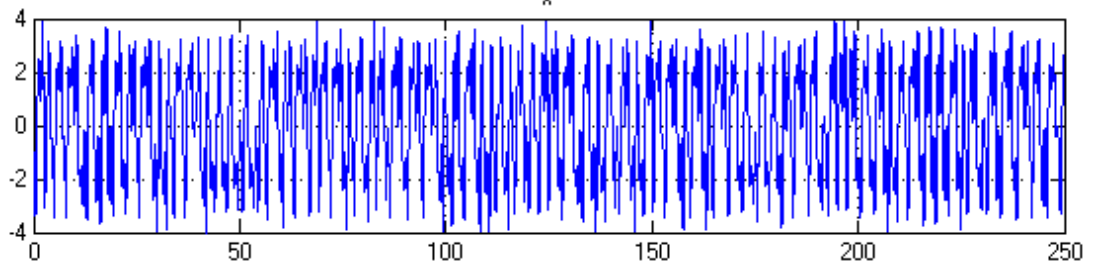
Figure 5. Hardware Co-simulation with FPGA-based Xilinx System Generator.

Xilinx system generator matematiksel işlem blokları kullanılarak algoritma üretebilen çok kullanışlı bir araçtır. VHDL programlama diline göre kolay tasarımı, geliştirilebilmesi önemli avantajıdır. Buradan yola çıkarak daha önce üç hücreli ağ yapısı olarak tasarlanan kaotik denklemler Şekil 6'da gösterildiği gibi Xilinx bloklar kullanılarak tasarlanmış ve Şekil 7'deki gibi çıkış işareti elde edilmiştir.



Şekil 6. DK-HSA tabanlı kaotik üreticinin Xilinx System Generator Kullanılarak elde edilen devre şeması.

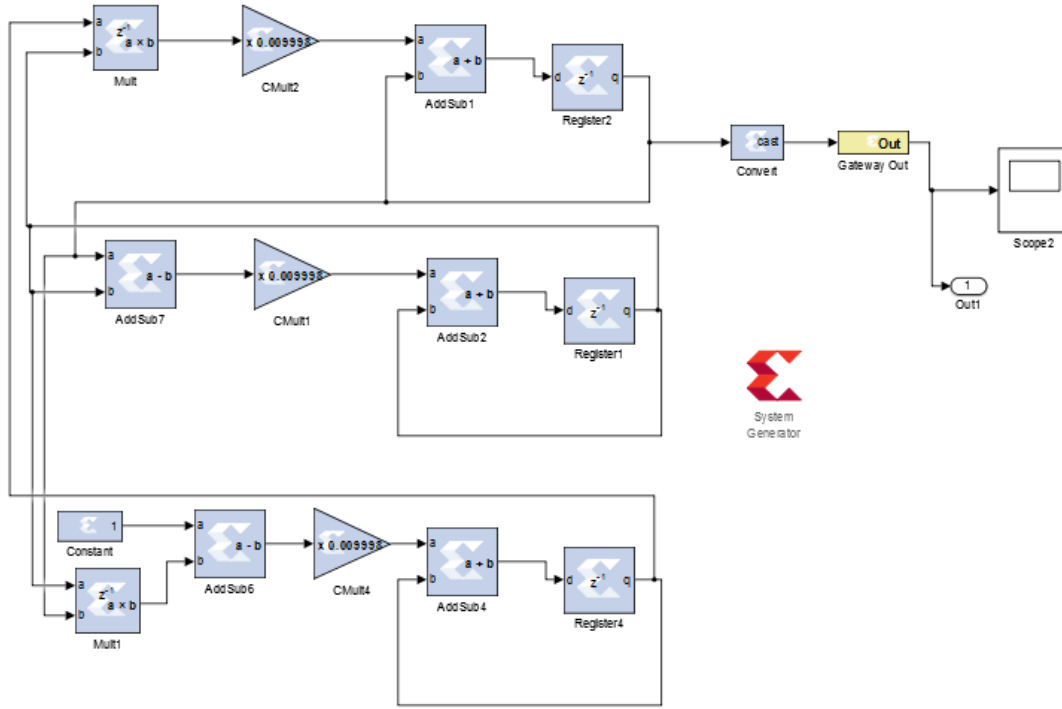
Figure 6. Circuit diagram of the chaotic generator of SC-CNN based on Xilinx System Generator.



Şekil 7. HSA tabanlı elde edilen kaotik üreticinin  $X_1$  dinamiği çıkış işaretini.

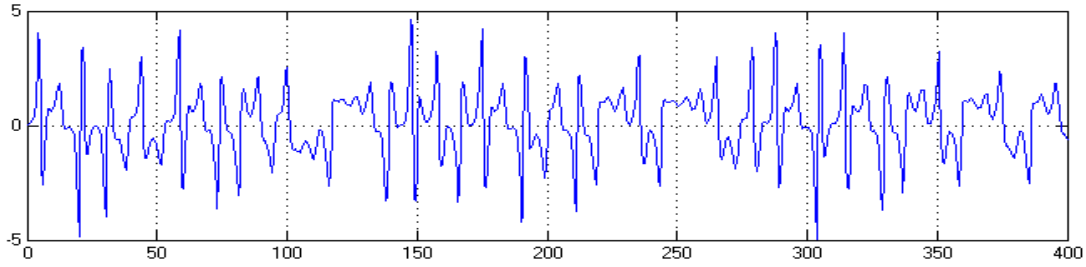
Figure 7. The  $X_1$  dynamics output signal of the chaotic generator obtained from CNN-based.

Ayrıca bit hata oranı karşılaştırmalarında kullanılacak bir diğer üretic yapısı Sproot'a ait Xilinx bloklar kullanılarak tasarlanmış devre yapısı Şekil 8'de gösterilmektedir. Şekil 9'da ise Sproot kaotik üreticinin  $X_1$  dinamiğine ait çıkış işaretini gösterilmektedir.



Şekil 8. Sprot kaotik üreticinin Xilinx System Generator kullanılarak elde edilen devre şeması.

Figure 8. The circuit diagram obtained by using the Xilinx System Generator of the chaotic generator of the sprot.



Şekil 9. Sprot kaotik üreticinin Xilinx System Generator kullanılarak elde edilen devre şeması.

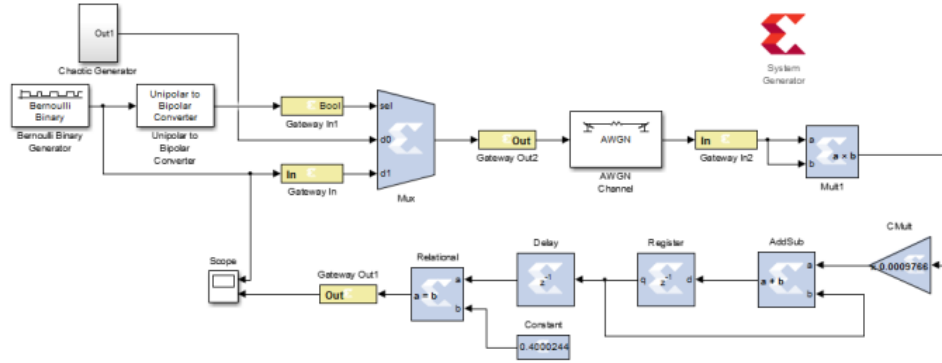
Figure 9. Circuit diagram of the sprot chaotic generator using Xilinx System Generator

#### AKKA HABERLEŞME SİSTEMİNİN FPGA İLE GERÇEKLEŞTİRİLMESİ (FPGA IMPLEMENTATION OF COOK COMMUNICATIONS SYSTEM)

Kaotik işaret üreticisi üreten devreler gerek parametre değişimi ile gerekse de farklı başlangıç şartlarıyla karakteristik özellikleri değişen devreler olması sebebiyle yeniden yapılandırılabilir sistemler arasında dikkat çeken bir yapıya sahiptir. Ancak kaotik devre yapılarının bu değişime uygun sistemlerde tasarlanarak gerçekleştirilmesi bu avantajların kullanımını gerçek kılar (Wang ve diğ., 2005). Bu amaçla önceki bölümlerde de açıklandığı gibi FPGA yapılar esnek ve kolay tasarım özelliklerinden dolayı kaotik devre yapıları için uygundur (Wang ve diğ., 2006; Liu ve diğ., 2014; Math Works).

FPGA yapılarını üretimden sonra bile istenen fonksiyon ve yapıya göre donanımının değiştirilmeye açık olması, bu yapıların uygulanabilirliğini artırmaktadır. Xilinx toolbox'lar kullanılarak Xilinx System Generator ile tasarlanan AKKA haberleşme sistemine ait blok şema Şekil 8'de verilmektedir.

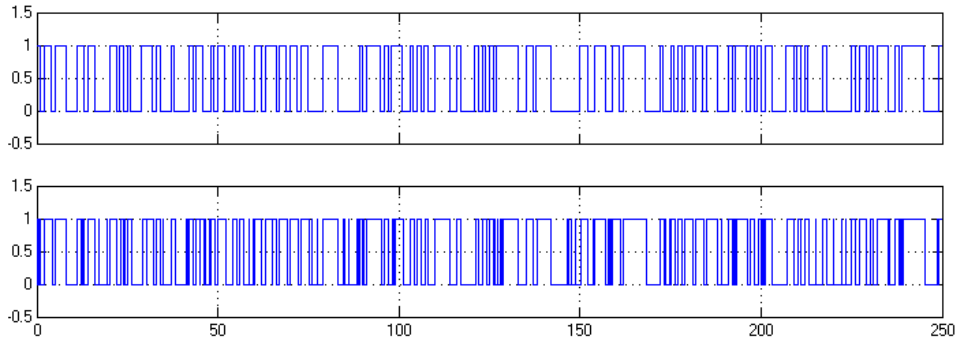




Şekil 10. Xilinx System Generator Kullanılarak FPGA tabanlı elde edilen AKKA devre şeması.

Figure 10. The FPGA-based COOK circuit diagram using Xilinx System Generator.

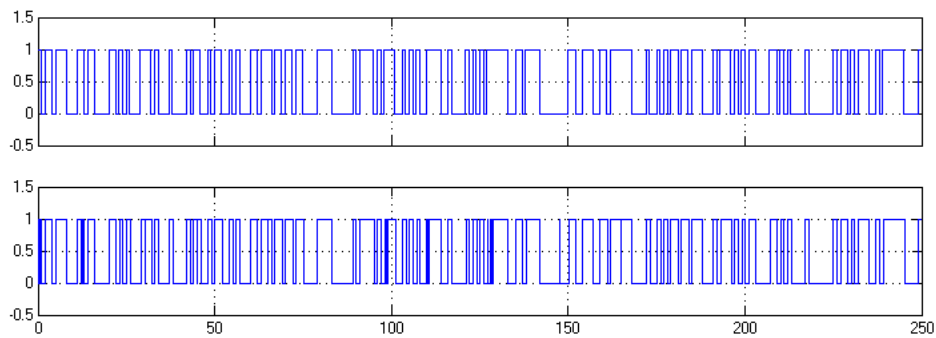
AKKA haberleşme sistemine ait verici devresinin bilgisayar benzetim sonuçları Sproot tabanlı kaotik üreteç kullanılarak gerçekleştirilen çalışma için verilmektedir. Şekil 11(a) iletilen bilgi sinyalini, Şekil 11(b) alıcı devrede elde edilen bilgi sinyalinin simulink sonuçlarını göstermektedir.



Şekil 11. a) İletilen bilgi sinyali b) Sproot tabanlı alıcıda elde edilen bilgi sinyali.

Figure 11. a) Transmitted information signal b) Information signal obtained from the sproot-based receiver.

Benzer şekilde AKKA haberleşme sistemine ait verici devresinin bilgisayar benzetim sonuçları HSA tabanlı kaotik üreteç kullanılarak gerçekleştirilmiştir. Şekil 12(a) iletilen bilgi sinyalini, Şekil 12(b) alıcı devrede elde edilen bilgi sinyalinin simulink sonuçlarını göstermektedir.

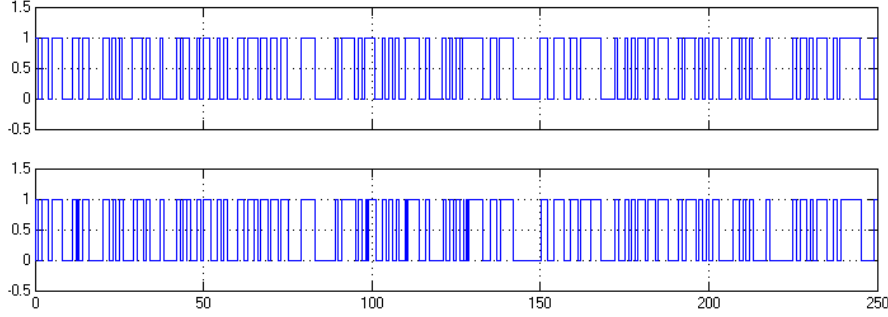


Şekil 12. a) İletilen bilgi sinyali b) HSA tabanlı alıcıda elde edilen bilgi sinyali.

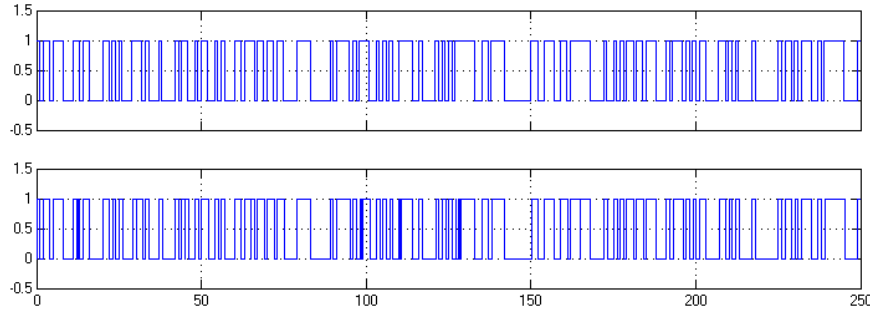
Figure 12. a) Information signal transmitted b) Information signal obtained in the CNN-based receiver.

Bilgisayar benzetimi gerçekleştirilen AKKA haberleşme sisteminin FPGA uygulamasına ait Sproot tabanlı alıcı devrede elde edilen bilgi sinyali Şekil 13'de gösterilirken, HSA tabanlı kaotik üreteçler

kullanılarak gerçekleştirilen uygulama ise Şekil 14'de alıcı devrede elde edilen bilgi sinyalinin sonuçları gösterilmektedir.



**Şekil 13.** a) İletilen bilgi sinyali b) Sproot FPGA alıcıda elde edilen bilgi sinyali.  
*Figure 13.* a) Transmitted information signal b) Information signal obtained from the Sproot FPGA receiver.



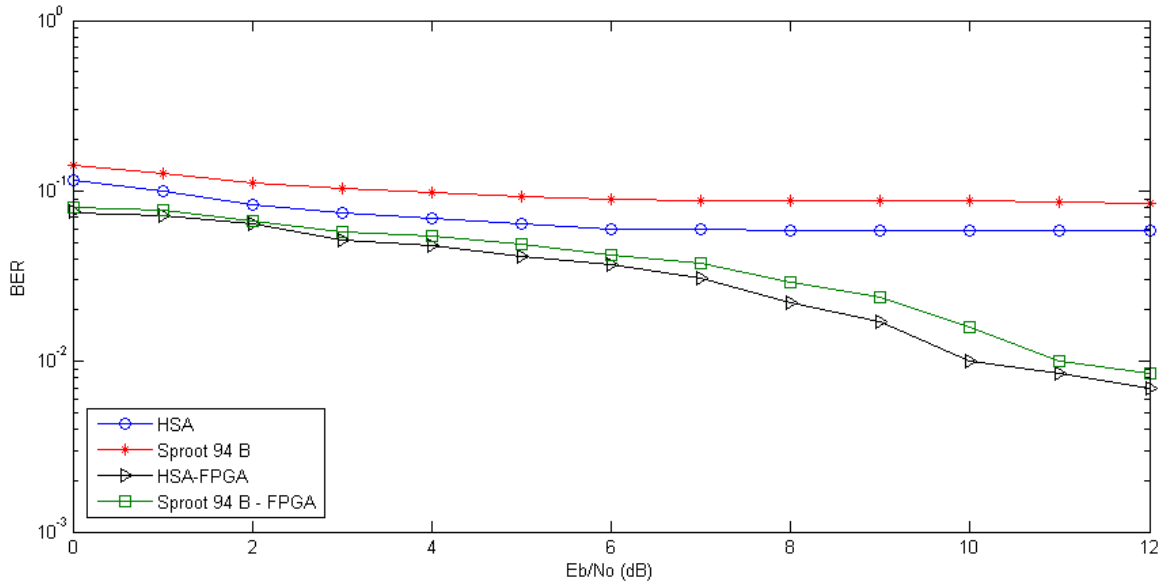
**Şekil 14.** a) İletilen bilgi sinyali b) HSA tabanlı FPGA alıcıda elde edilen bilgi sinyali.  
*Figure 14.* a) Information signal transmitted b) Information signal obtained from the CNN-based FPGA receiver.

Burada AKKA haberleşme sistemi için elde edilen sonuçlar, hesaplanmış analitik BER performansı *Gaussian* bir dağılım ile Denklem 8'deki gibi verilmektedir (Sushchik ve diğ, 2000).

$$BER = 1/2 \operatorname{erfc} \left( \sqrt{\frac{E_b}{4N_0} \left(1 + \frac{\beta N_0}{2E_b}\right)^{-1}} \right) \quad (8)$$

Denklem (8)'de *erfc* tümlleşik hata fonksiyonunu gösterirken,  $N_0/2$  gürültü dağılımını,  $E_b$  kaotik modülatörün çıkışında görülen bit enerjisini ve  $\beta$  yayılım faktörünü göstermektedir (Sushchik ve diğ, 2000).

FPGA tabanlı tasarım metodu kullanılarak farklı kaotik üreteçler ile gerçekleştirilen AKKA haberleşme sisteminin deneysel sonuçları ile Matlab/Simulink'te elde edilen BER/SNR oranlarının karşılaştırılması Şekil 15'de gösterilmektedir. Buna göre FPGA tabanlı AKKA haberleşme sisteminin farklı kaotik yapılar kullanıldığında elde edilen BER/SNR performansı Matlab/Simulink'te elde edilen sonuçlara göre daha başarılı olduğu görülmektedir.



**Şekil 15.** AKKA haberleşme sisteminin farklı kaotik üreteçler kullanılarak FPGA deneysel uygulamasına ve Matlab/Simulink benzetimine ait BER-SNR performansı.

*Figure 15. BER-SNR performance of FPGA experimental application and Matlab / Simulink simulation using different chaotic generators of COOK communication system.*

#### SONUÇ ve TARTIŞMALAR (RESULTS and DISCUSSIONS)

Bu çalışma ile sayısal tabanlı haberleşme yöntemi olan AKKA haberleşme sisteminin bilgisayar benzetimi ve FPGA tabanlı uygulaması gerçekleştirilmiştir. Buna göre DK-HSA yapısına sahip kaotik sinyal ile Sproot\_94\_B kaotik sinyal üreteçlerinin Matlab/Simulink ve deneysel FPGA uygulamasına ait BER/SNR performans karşılaştırması gözlemlenmiştir. Çalışmada Xilinx System Generator kullanılarak tasarım kolaylığı sağlanmış, analog tabanlı kaotik devre yapılarında yaşanan parametre hassasiyeti problemlerinin aşılması sağlanmış ve bu sonuç ile literatürde VHDL kullanılarak gerçekleştirilen tasarımlar için kolaylık sağlayacağı düşünülmektedir (Azzaz ve diğ.,2010). Azzaz (ve diğ.,2010), çalışmasında VHDL programla dili kullanarak gerçekleştirmiş bu durum farklı kaotik üreteç ve parametre değişimlerinin uygulanmasında oldukça karmaşık ve tasarım zorluğu getirmektedir. Çalışmada kullanılan HSA yapılarının farklı kaotik üreteçlere dönüşümü ancak kolay tasarım metodu olan Xilinx System Generator kullanılarak gerçekleştirilmesi ile mümkün olabilmektedir. Diğer taraftan AKKA haberleşme sistemi ile de analog tabanlı kaotik haberleşme sistemlerinde yaşanan sürekli senkronizasyon problemi (Butusov ve diğ., 2017), çalışmada kullanılan sayısal tabanlı haberleşme sistemi ile anlık senkronizasyon sağlanarak senkronizasyon sorunu aşılmıştır.

Buna göre yapılan benzetim ve deneysel çalışma sonuçlarına göre HSA tabanlı kaotik üreteçlerin kullanıldığı sayısal haberleşme sistemleri düşük bit hata oranları ile öne çıkmaktadır. Diğer taraftan yüksek çalışma frekansı ve paralel işlem kabiliyeti nedeniyle FPGA tabanlı AKKA haberleşme sisteminde Sproot\_94\_B ve HSA tabanlı kaotik haberleşme sistemlerinin de bit hata oranlarının daha iyi olduğu yapılan deneysel uygulama ile ortaya konmuştur.

Bu çalışmada HSA tabanlı kaotik üreteçlerin, sayısal tabanlı AKKA haberleşme sistemi ile FPGA uygulamalarında daha düşük BER/SNR performansının olduğu gözlemlenmiştir. Araştırma sonuçları, HSA tabanlı kaotik yapıların FPGA uygulamalarında daha kolay uygulanabildiği ve sayısal tabanlı kaotik haberleşme sistemlerindeki performansından dolayı diğer kaotik haberleşme sistemleri için de kullanılabilirliğini göstermektedir.

**KAYNAKLAR (REFERENCES)**

- Abdullah, H., Valenzuela, A., "Efficient Chaotic Communications System for Wireless Sensing Applications", *9<sup>th</sup> International Multi-Conference on Systems, Signals and Devices(SSD)*, Chemnitz, Germany, pp.1-5, 20-23 March 2012.
- Abdullah, H., Valenzuela, A., 2011, "Performance Evaluation of FM-COOK Chaotic Communication system", *Journal of Signal and Information Processing (JSIP)*, Vol. 2(3), pp. 175-177.
- Albassam, N.N., Sumesh, E.P., "Enhancing of Chaotic on-off Keying Scheme", *Proceedings of the 8th IEEE GCC Conference and Exhibition*, Muscat, Oman, pp.1-6, 1-4 February 2015.
- Arena, P.,Baglio, S., Fortuna, L., Manganaro, G., 1995, "Chua's Circuit can be Generated by CNN Cells," *IEEE Trans. Circuits Syst.*, Vol. 142, pp. 123–125, 1995.
- Azzaz, M. S., Tanougast, C., Sadoudi, S., Bouridane, A., Dandache, A., "An FPGA Implementation of a Feedback Chaotic Synchronization for Secure Communications", *Communication Systems Networks and Digital Signal Processing*, 2010.
- Azzaz, M.S., Tanougast, C., Sadoudi, S., Fellah, R., Dandache, A., 2012, "A new Auto-Switched Chaotic System and its FPGA Implementation", *Communications in Nonlinear Science and Numerical Simulation*, 2012.
- Butusov, D. N., Karimov, T. I., Lizunova, I. A., Soldatkina, A. A., & Popova, E. N. "Synchronization of Analog and Discrete Rössler Chaotic Systems", *Young Researchers in Electrical and Electronic Engineering (EIconRus), 2017 IEEE Conference of Russian*. IEEE, St. Petersburg, Russia, 1-3 February 2017.
- Chua, L.O., 1998, "CNN: A Paradigm for Complexity, World Scientific Series on Nonlinear Science", *Series A- Vol. 31*, World Scientific Publishing.
- Chua, L.O., Yang, L., 1988, "Cellular Neural Networks: Theory", *IEEE Trans. Circuits Syst.*, Vol. 35, pp. 732–745.
- Chua, L.O., Yang, L., 1988, "Cellular Neural Networks: Applications", *IEEE Transaction on Circuits and Systems*, Vol 35, No. 10, pp.1273-1290.
- Chua, L.O., Roska, T., 1993, "The CNN Paradigm", *IEEE Transactions on Circuits and Systems -I.*, Vol. 40, pp.147-156.
- Çiçek, S., Ferikoğlu, A., Pehlivan, İ., "A Chaotic Communication System Design with Chaotic on-off Keying (COOK) Modulation Method", *Signal Processing and Communications Applications Conference (SIU)*, Malatya, Turkey, pp. 431-434, 16-19 May 2015.
- Dedieu, H., Kennedy, M., Hasler, M., 1993, "Chaos Shift Keying: Modulation and Demodulation of a Chaotic Carrier Using Self-Synchronizing Chua's Circuits", *IEEE Transactions on Circuits and Systems II*, Vol. 40(10), pp. 634-643.
- Galias, Z., Maggio, M., 2001, "Quadrature Chaos-Shift Keying: Theory and Performance Analysis", *IEEE Transactions on Circuit and Systems I*, Vol. 48(12), pp. 1510-1518.
- Kolumbán, G., Kennedy, M.P., Kis, G., "Performance Improvement of Chaotic Communications Systems" - *Proc. ECCTD'97*, 1997.
- Günay, E., Altun, K., "HSA Tabanlı Kaos Üretici ile Açık Kapalı Kaotik Anahtarlama Haberleşme Sisteminin FPGA Kullanılarak Gerçekleştirilmesi", *Elektrik - Elektronik ve Biyomedikal Mühendisliği Konferansı -Eleco 2016*, Bursa, Türkiye, 1-3 Aralık 2016.
- Günay, E., 2012, "A New Autonomous Chaos Generator from State Controlled Cellular Neural Networks", *Int. J. Bifurcation & Chaos*, Vol.22, No.3.
- Günay, E., 2010, "MLC Circuit in the Frame of CNN", *Int. J. Bifurcation and Chaos*, Vol. 20, pp. 3267–3274.
- Kharel, R., Busawon, K., Aggoune, W., Ghassemlooy, Z., "Implementation of a Secure Digital Chaotic Communication Scheme on a DSP Board", *Communication systems networks and digital signal processing (CSNDSP)*, 7 th International Symposium on, 2010, Newcastle upon Tyne, UK, 21-23 July 2010 .

- Kılıç, R., Alçı, M., Günay, E., 2004, "A SC-CNN Based Chaotic Masking System with Feedback", *Int. J. Bifurcation and Chaos*, Vol. 14, pp. 245-256.
- Lau F. C. M., Tse C. K., 2003, *Chaos-Based Digital Communication Systems*, Springer.
- Liu, Z., Jinhua Z., Hanyu L., 2014, "Design of the Differential Chaos Shift Keying Communication System based on DSP builder", *Computer Modelling & New Technologies*, pp. 138-143.
- Majeed, M., 2014, "Implementation of Differential Chaos Shift Keying Communication System Using Matlab-Simulink", *Journal of American Science*, Vol. 10(10), pp. 240-244.
- Sushchik, M., Tsimring, L. S., Volkovskii, A. R., 2000, "Performance Analysis of Correlation-Based Communication Schemes Utilizing Chaos", *IEEE Trans. Circuits and Systems*, vol. 47, pp. 1684-1691.
- Pecora, L. M., Carroll, T. L., 1990, "Synchronization in Chaotic Systems", *Physical Review Letters*, Vol. 64, pp. 821-824, Feb., 1990.
- Sprott, J.C., 1994, "Some Simple Chaotic Flows", *Physical Review E*, Vol. 50(2), pp. 647-650.
- Stavroulakis, P., 2006, *Chaos Applications in Telecommunications*, CRC Press, pp.125-169, USA.
- Tam, W., Lau, F., Tse, C., 2006, *Digital Communications with Chaos*, Elsevier.
- Tam, W.M., Lau, F.C.M. Tse, C.K., 2007, *Digital Communications with Chaos: Multiple Access Techniques and Performance*, Elsevier Ltd., pp.11-31.
- Saidani, T., Atri, M., Dia, D., Tourki, R., 2010, "Using Xilinx System Generator for Real Time Hardware Co-simulation of Video Processing System" *Electronic Engineering and Computing Technology Volume 60 of the series Lecture Notes in Electrical Engineering*, pp 227-236.
- The Math Works and Xilinx Plans web page: <http://www.mathworks.com/>
- Wang, G., Zhang, X., Zheng, Y., Li, Y., 2006, "A New Modified Hyperchaotic Lii System (J)", *Physic A: Statistical Mechanics and its Applications*, Vol. 371 (2), pp. 260-272.
- Wang, G., Shi, X., Qiu, S., Li, Z. 2005, "A Chaotic System and Its Circuitry Implementation(C)", Piscataway, Nj 08855-1331, United States: Institute of Electrical and Electronics Engineers Computer Society, pp. 1162-1164.
- Yiwei, Z., Zexiang, L., Xinjian, Z., "A Chaos-Based Image Encryption ASIC Using Reconfigurable Logic", *Circuits and Systems IEEE Asia Pacific Conference on*, Macao, China, 30 Nov.-3 Dec. 2008.